

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-045275

(43)Date of publication of application : 16.02.1996

(51)Int.Cl.

G11C 11/41
G06F 12/08
G11C 11/401
G11C 15/00

(21)Application number : 06-178191

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.07.1994

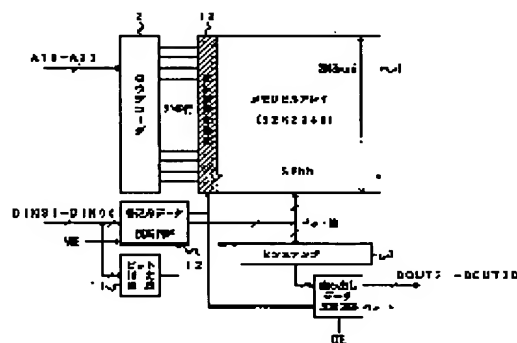
(72)Inventor : MATOBA TSUKASA

(54) CONTROL METHOD FOR MEMORY READING AND WRITING, AND MEMORY DEVICE USING THE METHOD

(57)Abstract:

PURPOSE: To reduce power consumption of a memory device providing in a computer system and to reduce power consumption of a whole system.

CONSTITUTION: At the time of write-in, logical values of each bit of write-in data are tested by a bit discriminating circuit 11, and it is judged whether the number of bits of logical value '0' exist more than the number of bits of logical value '1' or not. When the number of bits of logical value '0' are more than that of logical value '1', logical values of each bit of write-in data are reversed by a write-in data reversing circuit 12, reversed information of '1' indicating reversing and reversed write-in data are simultaneously written in a row selected by a row decoder 2. At the time of read-out, reversed information and data are simultaneously read out, if a value of the reversed information is '0' indicating reversing, logical values of each bits of read-out data are reversed again by a read-out data reversing circuit 14 and read out to the outside.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-45275

(43) 公開日 平成8年(1996)2月16日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/41

G 0 6 F 12/08

G 1 1 C 11/401

E 7623-5B

G 1 1 C 11/ 34

A

3 6 2 C

審査請求 未請求 請求項の数17 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願平6-178191

(22) 出願日 平成6年(1994)7月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 的場 司

東京都青梅市末広町2丁目9番地 株式会

社東芝青梅工場内

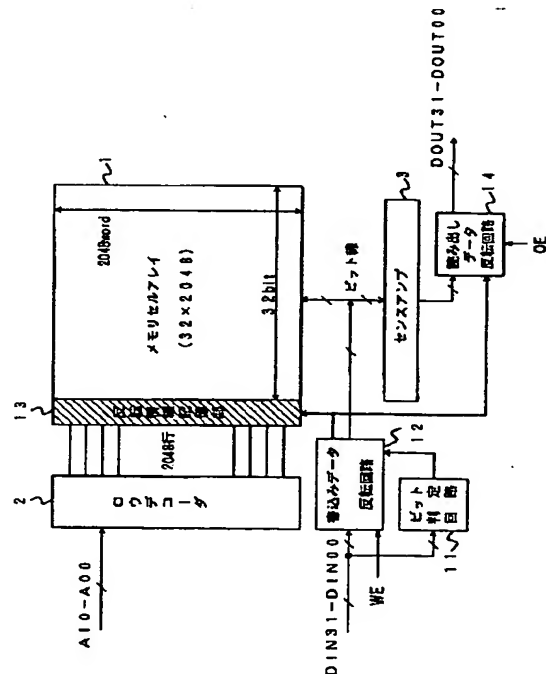
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 メモリリード/ライト制御方法およびその方法を使用したメモリ装置

(57) 【要約】

【目的】 コンピュータシステムに設けられるメモリ装置の電力消費を低減し、システム全体の低消費電力化を図る。

【構成】 書き込み時は、書き込みデータのビットそれぞれの論理値がビット判定回路11によって検査され、論理値“0”のビット数が論理値“1”のビット数よりも多く存在するか否かが判断される。論理値“0”のビット数の方が多い場合には、書き込みデータ反転回路12によって書き込みデータのビットそれぞれの論理値が反転され、反転を示す“1”の反転情報と反転された書き込みデータがロウデコーダ2によって選択された行に同時に書き込まれる。読み出し時は、反転情報とデータが同時に読み出され、反転情報の値が反転を示す“0”ならば、読み出しデータのビットそれぞれの論理値が読み出しデータ反転回路14によって再び反転されて外部に読み出される。



1

【特許請求の範囲】

【請求項 1】 メモリ装置に対するデータ書込みおよび読み出しを制御するメモリリード／ライト制御方法において、

データ書込み要求に応答して、書込みデータのビット列を調べ、第 1 論理値のビットが、その反転論理値である第 2 論理値のビットの数よりも多いか否かを判定し、第 1 論理値のビットの数が多いことが判定された時、前記書き込みデータのビットそれぞれの論理値を反転し、論理反転された書込みデータ、および書込みデータが論理反転されたことを示す属性情報を対応させて前記メモリ装置に書込み、

データ読み出し要求に応答して、前記メモリ装置からデータおよびそれに対応する属性情報を読み出すことを特徴とするメモリリード／ライト制御方法。

【請求項 2】 前記読み出した属性情報が書込みデータの論理反転を示す時、前記メモリ装置から読み出したデータのビットそれぞれの論理値を再び論理反転するステップをさらに具備することを特徴とする請求項 1 記載のメモリリード／ライト制御方法。

【請求項 3】 前記メモリ装置は、データ読み出しに先立ってメモリセルアレイの列線を論理値“1”にプリチャージするプリチャージ型のメモリ装置であり、前記書き込みデータの論理反転は、書込みデータのビット列に論理値“0”のビットが論理値“1”のビットよりも多く含まれる時に実行されることを特徴とする請求項 1 記載のメモリリード／ライト制御方法。

【請求項 4】 前記メモリ装置に対する書き込みデータのビット列を複数のフィールドに分割し、各フィールド毎に、前記書き込みデータの論理値の判定、論理反転、属性情報の書込み、および属性情報に基づく読み出しデータの論理反転を独立して行うことを特徴とする請求項 2 記載のメモリリード／ライト制御方法。

【請求項 5】 前記メモリ装置は、キャッシュメモリまたはアドレス変換バッファに設けられる連想メモリであり、

前記読み出した属性情報に基づいて読み出しデータと比較用入力データとの一致の有無を調べて、前記キャッシュメモリまたはアドレス変換バッファのヒット／ミスヒットを検出するステップをさらに具備することを特徴とする請求項 1 記載のメモリリード／ライト制御方法。

【請求項 6】 前記ヒット／ミスヒットの検出ステップは、

前記読み出しデータと比較用入力データとをビット毎に比較し、

前記読み出した属性情報が書込みデータの論理反転を示さない時は前記ビット毎の比較結果からヒット／ミスヒットを検出し、

前記読み出した属性情報が書込みデータの論理反転を示す時は前記ビット毎の比較結果をそれぞれ論理反転し、

2

それら論理反転された比較結果からヒット／ミスヒットを検出することを特徴とする請求項 5 記載のメモリリード／ライト制御方法。

【請求項 7】 前記ヒット／ミスヒットの検出ステップは、

前記読み出しデータと外部からのメモリアドレスとの排他的論理和および排他的反転論理和をビット毎にそれぞれ演算し、

前記読み出した属性情報が書込みデータの論理反転を示さない時は前記排他的論理和および排他的反転論理和の一方の演算結果からヒット／ミスヒットを検出し、

前記読み出した属性情報が書込みデータの論理反転を示す時は前記排他的論理和および排他的反転論理和の他方の演算結果からヒット／ミスヒットを検出することを特徴とする請求項 5 記載のメモリリード／ライト制御方法。

【請求項 8】 行および列のマトリクス状に配設されたメモリセルアレイと、外部から入力されたメモリアドレスをデコードして前記メモリセルアレイを行単位で選択するアドレスデコーダと、外部からの書込みデータを、選択された行のメモリセル群に書き込む書込み回路と、選択された行のメモリセル群から書込みデータを読み出す読み出し回路とを備えたメモリ装置において、

前記メモリセルアレイの複数の行にそれぞれ対応する複数のエントリを有し、対応する行の書込みデータの属性情報が各エントリに格納される属性情報記憶部と、

外部からの書込みデータのビット列を調べ、第 1 論理値のビットが、その反転論理値である第 2 論理値のビットの数よりも多いか否かを判定するビット判定手段と、

このビット判定手段によって第 1 論理値のビットの数が多いことが判定された時、前記選択された行に対応するメモリセル群に第 2 論理値のデータが多く書き込まれるように、前記書き込みデータのビットそれぞれの論理値を反転する論理反転手段と、

この論理反転手段によって書込みデータが論理反転された時、書込みデータが論理反転されたことを示す情報を前記属性情報記憶部の該当するエントリに書き込む手段と、

前記読み出し回路によって読み出される行に対応する前記属性情報記憶部のエントリから属性情報を読み出す手段とを具備することを特徴とするメモリ装置。

【請求項 9】 前記属性情報記憶部の該当するエントリから読み出された属性情報が、書込みデータが論理反転されていることを示す時、前記読み出し回路によって読み出されたデータのビットそれぞれの論理値を再び論理反転して外部に出力する手段をさらに具備することを特徴とする請求項 8 記載のメモリ装置。

【請求項 10】 前記メモリ装置は、前記データ読み出し回路によるデータ読み出しに先立って前記メモリセルアレイの各列線を論理値“1”にプリチャージする手段

3

を含むプリチャージ型のメモリ装置であり、前記論理反転手段は、書込みデータのビット列に論理値“0”のビットが論理値“1”のビットよりも多く含まれる時に論理反転を実行することを特徴とする請求項8記載のメモリ装置。

【請求項11】 前記属性情報記憶部は、前記メモリセルアレイの所定列のメモリセル群から構成されていることを特徴とする請求項8記載のメモリ装置。

【請求項12】 前記メモリセルアレイの各行は複数のフィールドに分割され、前記属性情報記憶部はそれらフィールド毎に設けられ、
10 前記ビット判定手段、論理反転手段、属性情報の書込み手段、および読み出しデータの論理反転手段はそれぞれフィールド毎に設けられ、書込みデータの論理値の判定、論理反転、属性情報の書込み、および属性情報に基づく読み出しデータの論理反転がフィールド毎に実行されるように構成されていることを特徴とする請求項9記載のメモリ装置。

【請求項13】 前記メモリ装置は、キャッシュメモリまたはアドレス変換バッファに設けられる連想メモリであり、
前記属性情報記憶部の該当するエントリから読み出された属性情報に基づいて前記読み出しデータと外部からの比較用入力データとを比較してヒット／ミスヒットを検出するヒット検出手段をさらに具備することを特徴とする請求項8記載のメモリ装置。

【請求項14】 前記ヒット検出手段は、
前記読み出しデータと外部からの比較用入力データとをビット毎に比較する比較手段と、
前記読み出した属性情報が書込みデータの論理反転を示さない時は、前記ビット毎の比較結果からヒット／ミスヒットを検出し、前記読み出した属性情報が書込みデータの論理反転を示す時は前記ビット毎の比較結果をそれぞれ論理反転し、それら論理反転された比較結果からヒット／ミスヒットを検出する手段とを具備することを特徴とする請求項13記載のメモリ装置。

【請求項15】 前記ヒット検出手段は、
前記読み出しデータと比較用入力データの排他的論理和をビット単位で演算する第1の論理演算回路と、
前記読み出しデータと比較用入力データの排他的反転論理和をビット単位で演算する第2の論理演算回路と、
40 前記読み出した属性情報に従って前記第1および第2の論理演算回路のいずれか一方の論理演算出力を選択し、その選択した論理演算出力から前記ヒット／ミスヒットを検出する手段とを具備することを特徴とする請求項13記載のメモリ装置。

【請求項16】 前記メモリ装置は、前記データ読み出し回路によるデータ読み出しに先立って前記メモリセルアレイの各列線を論理値“1”にプリチャージする手段を含むプリチャージ型のメモリ装置であり、
50

4

前記論理反転手段は、書込みデータのビット列に論理値“0”のビットが論理値“1”のビットよりも多く含まれる時に論理反転を実行することを特徴とする請求項13記載のメモリ装置。

【請求項17】 前記メモリセルアレイの各行は複数のフィールドに分割され、前記属性情報記憶部はそれらフィールド毎に設けられ、

前記ビット判定手段、論理反転手段、属性情報の書込み手段、およびヒット検出手段はそれぞれフィールド毎に設けられ、書込みデータの論理値の判定、論理反転、属性情報の書込み、および属性情報に基づくヒット／ミスヒット検出がフィールド毎に実行されるように構成されていることを特徴とする請求項13記載のメモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、例えばポータブルコンピュータなどの各種携帯型電子機器装置に内蔵されるメモリ装置に関する。

【0002】

【従来の技術】近年、LSIの低消費電力化が注目されている。今後発展が期待されている携帯型情報処理装置に搭載されるLSIには、低消費電力であることが要求されるからである。ただし低消費電力でありながらも同時にあるレベルの性能を維持する必要がある、両者を両立するためには半導体設計、アーキテクチャ設計の枠を越えた総合的な研究が必要であると言われている。

【0003】携帯型情報処理装置の制御部分の低消費電力化を考える上で、メモリ部分の低消費電力化は重要である。なぜなら、あるレベルの性能を維持するために携帯型情報処理装置には、キャッシュメモリやレジスタファイル、各種バッファメモリ、メインメモリなど多くのメモリ装置が使用されており、また、メモリ装置の消費電力、特にメモリ装置のセンスアンプ部分の消費電力は他の回路と比べて極めて大きいからである。

【0004】図8には、従来の典型的なメモリ装置の構成が概念的に示されている。このメモリ装置は、32（ビット）×2048（ワード）構成のメモリセルアレイ1、ロウデコーダ2、センスアンプ3、および出力回路4などから構成されている。

【0005】このメモリ装置に与えられるアドレス（A10-A00）によって特定されるメモリワード（32ビット）に対し、書き込み時は書き込みデータ（DIN31-DIN00）がライトパルス（WE）の立ち上がりで書き込まれる。

【0006】また、読み出し時は、アドレス（A10-A00）で特定されるワードのメモリセル群それぞれのデータがビット線に出力され、これによってビット線電位が微小に変化される。この微小な電位変化はセンスアンプ3によって増幅された後、出力回路4を介して出力データ（DOUT31-DOUT00）として読み出

5

される。

【0007】このようなメモリ装置においては、出力データの論理値が変化する時に大電流が流れ、多くの電力が消費される。例えば、全ビット“1”のデータ読み出しの直後に、全ビット“0”のデータを読み出す場合においては、センスアンプ3および出力回路4において各ビット部の回路が同時にスイッチング動作され、これによって多くの電力が消費される。

【0008】また、通常のメモリ装置は集積度を向上し、リードアクセスタイムを改善するために、プリチャージ方式を採用している。プリチャージ方式はデータを
10 読み出す前にビット線を論理値“1”にプリチャージしておき、読み出しデータが“0”であるビット線の電荷のみを放電させることにより高速化を実現するものである。

【0009】このようなプリチャージ型のメモリ装置を使用した場合には、出力データに“0”が多いほど出力段回路のスイッチ回数が増え、電力消費量が増加することになる。

【0010】

【発明が解決しようとする課題】このように、従来のメモリ装置においては、出力データの論理値が変化する時に大電流が流れ、多くの電力が消費される。また、特にプリチャージ型のメモリ装置においては、論理値“0”の出力データを読み出すときに電力消費が大きくなる欠点があった。

【0011】そこで、最近では、メモリ装置の消費電力を削減するために、半導体設計ルールの微細化や、読み出し速度を犠牲にしてセンスアンプのトランジスタサイズを削減するなど、半導体技術による改善が進められて
30 いる。

【0012】しかし、今後は、高速動作と低消費電力化を両立することが必要であるので、半導体技術のみならず、メモリ装置に対するデータのリード／ライト制御などのシステムアーキテクチャのレベルからも、メモリ装置の低消費電力化を図ることが要求されている。

【0013】この発明はこのような点に鑑みてなされたものであり、アーキテクチャレベルからのアプローチによりメモリ装置の消費電力を低減することが可能なメモリリード／ライト制御方法およびその方法を使用したメ
40 モリ装置を提供することを目的とする。

【0014】

【課題を解決するための手段および作用】この発明は、メモリ装置に対するデータ書き込みおよび読み出しを制御するメモリリード／ライト制御方法において、データ書き込み要求に応答して、書き込みデータのビット列を調べ、論理値“1”を示すビットが論理値“0”を示すビットの数よりも多いか否かを判定し、論理値“0”のビットの数が多いことが判定された時、前記書き込みデータの
50 ビットそれぞれの論理値を反転し、論理反転された書込

6

みデータ、および書き込みデータが論理反転されたことを示す情報を対応させて前記メモリ装置に書き込み、データ読み出し要求に回答して、前記メモリ装置からデータおよびそれに対応する情報を読み出すことを特徴とする。

【0015】この方法によれば、例えば、メモリに書き込まれるデータに論理値“0”が多ければデータが論理反転して書き込まれる。これにより、従来のメモリに比べて論理値“1”であるビットがメモリに多く書き込まれることになる。

【0016】通常、メモリ装置においては、その読み出し時に出力データの論理レベルが変化する際に多くの電力が消費される。しかし、この発明では、例えば、全ビット“0”の書き込みデータは全ビット“1”に論理反転されて書き込まれる。このため、全ビット“1”のデータの読み出しの直後に、全ビット“0”のデータを読み出す場合においても、メモリ内部では全ビット“1”のデータの読み出しが連続することになる。したがって、センスアンプや読み出し回路などのメモリ出力段回路がスイッチングする回数が減り、読み出し時の電力消費を低減できる。

【0017】また、読み出し時には、データと一緒にそれに対応する属性情報が読み出されるので、その属性情報にしたがって読み出しデータの再反転などを行うことができる。

【0018】さらに、このようなメモリ制御は書き込みデータのビット列全体に対して一律に適用するのではなく、データを複数フィールドに分割し、フィールド毎に書き込みデータの論理値の判定、論理反転、属性情報の書き込み、および属性情報に基づく読み出しデータの論理反転を行うことにより、さらにリード／ライト制御の最適化を実現できる。

【0019】また、キャッシュメモリ、アドレス変換バッファなどの連想メモリにこの発明を適用する場合には、読み出しデータを直接反転するよりも、ビット毎の比較結果を反転するか、または排他的論理和(exclusive-OR)と、排他的反転論理和(exclusive-NOR)を属性情報に従って使い分けた方がヒット／ミスヒット検出の高速化を達成できる。

【0020】

【実施例】以下、図面を参照してこの発明の実施例を説明する。図1には、この発明の一実施例に係るメモリ装置の構成が概念的に示されている。このメモリ装置は、図8に示した従来のメモリ装置と同様に、32(ビット)×2048(ワード)のメモリセルアレイ1、ロウデコード2、およびセンスアンプ3を含み、書き込み時はアドレス(A10-A00)によって特定される行のメモリワード(32ビット)に対し書き込みデータ(DIN31-DIN00)がライトパルス(WE)の立ち上がりで書き込まれ、読み出し時は、アドレス(A10-A00)で特定される行のメモリセル群それぞれのデ

7

ータがビット線に出力され、それがセンスアンプ 3 で増幅された後に出力データ (DOU T 3 1 - DOU T 0 0) として読み出される構成である。

【0021】さらに、このメモリ装置には、ビット判定回路 1 1、書き込みデータ反転回路 1 2、反転情報記憶部 1 3、および読み出しデータ反転回路 1 4 が追加されている。

【0022】ビット判定回路 1 1 は、書き込みデータ (D I N 3 1 - D I N 0 0) のビット列を調べ、論理値 “0” のビットが論理値 “1” のビットの数よりも多い 10 か否かを判定する。論理値 “0” のビット数の方が論理値 “1” のビット数よりも多い場合、ビット判定回路 1 1 は、書き込みデータ反転回路 1 2 に対して書き込みデータの論理反転を指示する。

【0023】書き込みデータ反転回路 1 2 は、ロウデコード 2 によって選択された行に書き込みデータ (D I N 3 1 - D I N 0 0) を書き込むための書き込み回路であり、ビット判定回路 1 1 によって論理反転が指示された場合には、書き込みデータ (D I N 3 1 - D I N 0 0) のビ 20 ットそれぞれの論理値を反転して書き込みを行う。

【0024】これにより、論理値 “0” のビットを多く含む書き込みデータは、論理値 “1” のビットを多く含む書き込みデータに変換されてメモリセルアレイ 1 に書き込まれる。

【0025】また、書き込みデータ反転回路 1 2 は、書き込みデータの論理反転の有無を示す反転情報を反転情報記憶部 1 3 に書き込む。この場合、例えば、書き込みデータを論理反転した場合には、反転を示す “0” の反転情報が、選択行に対応する反転情報記憶部 1 3 のエントリに書き込まれる。一方、書き込みデータを論理反転しなかつ 30 た場合には、非反転を示す “1” の反転情報が、選択行に対応する反転情報記憶部 1 3 のエントリに書き込まれる。

【0026】反転情報記憶部 1 3 は、メモリセルアレイ 1 の複数の行にそれぞれ対応する複数のエントリを有している。各エントリは、ロウデコード 2 によってメモリセルアレイ 1 の対応する行と一緒に選択される。

【0027】この反転情報記憶部 1 3 は、メモリセルアレイ 1 の 1 列、またはフリップフロップなどのメモリセルアレイ 1 とは別個の記憶回路などを利用することによ 40 って実現する事ができる。

【0028】反転情報記憶部 1 3 をメモリセルアレイ 1 の 1 列を使用して実現する場合には、メモリセルアレイ 1 のビット幅はワード + 1 (ビット) 構成に設定され、反転情報はリード/ライトデータの一部として扱われる。この場合、反転情報は同一行の 3 2 ビットデータと同時にリード/ライトすることができ、反転情報のリード/ライトのための特別な制御は一切必要とされない。以下、メモリセルアレイ 1 の 1 列を用いて反転情報記憶部 1 3 を実現した場合を想定して、メモリ装置の構成を 50

8

説明する。

【0029】読み出しデータ反転回路 1 4 は、センスアンプ 3 を介して読み出された 1 行分の書き込みデータを出方データ (DOU T 3 1 - DOU T 0 0) として外部に読み出すための回路である。この読み出しデータ反転回路 1 4 は、メモリセルアレイ 1 からの 3 2 ビットデータと同時に反転情報記憶部 1 3 から読み出される反転情報が、書き込みデータが反転されていることを示す “0” の時は、センスアンプ 3 を介して読み出された 1 行分のデータのビットそれぞれの論理値を再び論理反転し、その反転されたデータを出方データ (DOU T 3 1 - DOU T 0 0) として外部に読み出す。

【0030】このメモリ装置 1 の書き込み動作は、図 2 のフローチャートに示す手順に従って実行される。すなわち、まず、書き込みデータ (D I N 3 1 - D I N 0 0) のビットそれぞれの論理値がビット判定回路 1 1 によって検査され、論理値 “0” のビット数が論理値 “1” のビット数よりも多く存在するか否かが判断される (ステップ S 1 1、S 1 2)。

【0031】論理値 “0” のビット数の方が多い場合には、書き込みデータ反転回路 1 2 によって書き込みデータ (D I N 3 1 - D I N 0 0) のビットそれぞれの論理値が反転される (ステップ S 1 3)。その後、反転を示す “1” の反転情報が、反転された書き込みデータに付加され、それらがロウデコード 2 によって選択された行に同時に書き込まれる (ステップ S 1 4)。

【0032】一方、論理値 “0” のビット数が論理値 “1” のビット数以下の場合には、書き込みデータの論理反転は実行されず、非反転を示す “0” の反転情報が書き込みデータ (D I N 3 1 - D I N 0 0) に付加され、それらがロウデコード 2 によって選択された行に同時に書き込まれる (ステップ S 1 4)。

【0033】このメモリ装置 1 の読み出し動作は、図 3 のフローチャートに示す手順に従って実行される。すなわち、まず、ロウデコード 2 によって選択された行の反転情報と 3 2 ビットデータが同時に読み出され、読み出しデータ反転回路 1 4 に送られる (ステップ S 2 1)。読み出しデータ反転回路 1 4 においては、反転情報の値が “1” か “0” かが調べられ (ステップ S 2 2)、 “0” ならば、3 2 ビットの読み出しデータのビットそれぞれの論理値が反転される (ステップ S 2 4)。そして、反転された 3 2 ビットのデータだけが出力データ (DOU T 3 1 - DOU T 0 0) として外部に読み出される (ステップ S 2 4)。

【0034】一方、反転情報の値が “1” ならば、3 2 ビットの読み出しデータは反転されず、そのまま出力データ (DOU T 3 1 - DOU T 0 0) として外部に読み出される (ステップ S 2 4)。

【0035】図 4 には、図 1 のメモリ装置の構成が適用される代表的なメモリの一例として、プリチャージ型 S

9

RAMの回路構成が示されている。WL 1, WL 2はアドレスをデコードした結果でありワードセレクト線と呼ばれる。BLはメモリセルから出力されるデータビットでありビット線と呼ばれる。センスアンプはビット線

(BL, 反転BL)の振幅の変化を検出する差動増幅器である。ビット線イコライズ回路は読み出しタイムの高速化のためにビット線をプリチャージ期間中で“1”状態につり上げるための回路である。プリチャージ期間で1につり上げられたビット線は、続く読み出しサイクルでデータ“0”を出力する場合に限り、ビット線から電荷を放電し、BL, 反転BL間に微少な電位の変化が現れる。それをセンスアンプで増幅することによってデータを得る。センスアンプでは主に出力のスイッチング時に電流が消費される。したがって、センスアンプでの電流消費を削減するためにはスイッチング頻度を削減することが効果的である。

【0036】この発明では、スイッチング頻度を減らすためにメモリのビット線をできるだけ“1”状態にできるように、逆に“0”状態になる頻度を抑えるために、記憶するワードデータの内に“0”のビットが多い場合はデータの全体があらかじめ反転される。その際メモリのビット幅をワード+1(ビット)構成にしておき、そのデータが反転しているかどうかを示す情報(反転情報)を各ワード毎に記憶しておく。反転情報は読み出しデータを反転するかどうかの判定に使用される。

【0037】したがって、全ビット“1”のデータの読み出しの直後に、全ビット“0”のデータを読み出す場合においても、メモリ内部では全ビット“1”のデータの読み出しが連続することになる。したがって、センスアンプや読み出し回路などのメモリ出力段回路がスイッチングすることではなく、この場合の電力消費を大幅に低減できる。

【0038】なお、図1のメモリ装置の構成をこのSRAMに適用した場合には、ビット判定回路11および書込みデータ反転回路12はデータ入力端子Dinと書込みバッファとの間、またはデータ入力端子Dinの前段に設けられる。また、読み出しデータ反転回路14は、センスアンプと3状態出力バッファとの間、または3状態出力バッファの次段に設けられる。

【0039】ビット判定回路11および書込みデータ反転回路12をデータ入力端子Dinの前段に設け、読み出しデータ反転回路14を3状態出力バッファの次段に設けた場合には、既存のSRAMを何等設計変更することなく、外部回路によってその消費電力を効果的に低減する事ができる。すなわち、ビット判定回路11、書込みデータ反転回路12、および読み出しデータ反転回路14は、必ずしもメモリ装置内に設ける必要はなく、そのメモリのリード/ライトを制御するメモリ制御回路の一部として実現することができる。

【0040】図5には、この発明が適用された連想メモ

10

リの構成の一例が示されている。この連想メモリは、例えば、キャッシュメモリのタグメモリ、またはアドレス変換バッファ(TLB; Translation Lookaside Buffer)に利用されるものであり、そのリードデータは主にヒット/ミスヒットの検出のために利用される。以下、タグメモリを実現する場合を例示して、その回路構成を説明する。

【0041】このタグメモリは、図示のように、メモリセルアレイ20、ロウデコーダ21、ビット判定回路22、書込みデータ反転回路23、反転情報記憶部24、および比較回路25を備えている。

【0042】メモリセルアレイ20には、キャッシュメモリのデータメモリに格納されるデータ(または命令)の主記憶上の格納位置を示すアドレス情報などが格納される。ロウデコーダ21は、外部からのアドレスに応じてメモリセルアレイ20の1行を選択する。ビット判定回路22、書込みデータ反転回路23、および反転情報記憶部24は、それぞれ図1のビット判定回路11、書込みデータ反転回路12、および反転情報記憶部13に相当するものである。

【0043】比較回路25は、メモリセルアレイ20からの読み出しデータと外部からの比較入力データ(キャッシュアクセスのためのアドレスの上位ビット)とを比較し、その一致の有無に応じてヒット/ミスヒットを示すヒット信号を発生する。

【0044】この比較回路25の比較動作は、読み出しデータと同時に読み出される反転情報にしたがって制御される。すなわち、比較回路25には、読み出しデータと比較入力データとをビット毎に比較する比較器が設けられており、反転情報が書込みデータの論理反転を示す“0”の時は、ビット毎の比較結果がそれぞれ論理反転され、それら論理反転された比較結果からヒット/ミスヒットが検出される。一方、反転情報が書込みデータが論理反転されていないことを示す“1”の時は、ビット毎の比較結果からヒット/ミスヒットが直接検出される。

【0045】このように、連想メモリにおいては、リードデータそのものを外部に読み出す必要はないので、リードデータの反転処理の代りに、各ビットの比較結果を反転するだけで良い。

【0046】また、比較回路25は、図6に示されているように、排他的論理和EXOR回路(exclusive-OR)251、排他的反転論理和EXNOR回路(exclusive-NOR)252、およびセクタ253によって構成する事もできる。

【0047】この場合には、リードデータと比較入力データとのビット毎の排他的論理和と排他的反転論理和とが同時に演算され、反転情報が書込みデータの反転を示す“0”の時はセクタ253によってEXNOR252の出力が一致/不一致を示す演算結果として選択され、反転情報が書込みデータの非反転を示す“1”の時

11

はセクタ 2 5 3 によって EXOR 2 5 1 の出力が一致／不一致を示す演算結果として選択される。したがって、図 6 の構成を使用すれば、さらに高速にヒット／ミスヒットの検出を行う事ができる。

【0048】図 5 のタグメモリに対するリード／ライト動作は次のように行われる。キャッシュメモリへのデータのリフィルが発生すると、そのデータのアドレスがタグメモリに記憶される。この場合、タグメモリへのライトデータがビット判定回路 2 2 によって調べられ、論理値 “0” のビットが多い場合には、書込みデータの各ビットは書込みデータ反転回路 2 3 によって反転された後にメモリセルアレイ 2 0 に書き込まれる。この時、反転情報記憶部 2 4 への “0” の反転情報の書込みも同時に行われる。一方、論理値 “0” のビットが多くない場合には、書込みデータは反転されずにそのまま書き込まれる。この時には、“1” の反転情報が反転情報記憶部 2 4 に書き込まれる。

【0049】次にキャッシュが参照される場合には、タグメモリから読み出したデータと比較入力データとが比較回路 2 5 によって比較される。この場合、同時に読み出しされる反転情報が比較回路 2 5 に送られる。比較回路 2 5 を図 6 のように構成した場合には、タグメモリの読み出しデータと比較入力データとのビット毎の排他的論理和 (exclusive-OR) と排他的反転論理和 (exclusive-NOR) の両方が同時に計算され、反転情報によってそのどちらかが選択され、キャッシュヒット／ミスヒットが検出される。

【0050】このようなタグメモリの構成により、キャッシュメモリ全体の消費電力、さらにはキャッシュメモリ内蔵プロセッサの消費電力を飛躍的に低減することが可能になる。

【0051】またタグメモリに記憶されるアドレス部分を複数のフィールドに分割し、各フィールド毎に反転するかしないかを判断する方法も有効である。なぜなら、CPU のキャッシュメモリを考えると、プログラムが全アドレス空間をまんべんなく使用することは少なく、アドレス空間の上位部分、下位部分を局所的に使用するのが普通である。従ってアドレスの上位部分は全て “0” または “1” であることが多い。そこでアドレスの上位部分 (例えばセグメントアドレス部分) とそれ以下の部分とを分割してビット判定を行えば、より最適な反転処理により “1” を書き込めるビットが多くなる。この様子を図 7 に示す。

【0052】すなわち、書込みデータ単位でビット判定を行った場合には、図 7 (A) に示されているように、アドレスの上位ビットがオール “0” であっても、“0” のビット数が “1” のビット数よりも多くない限りは書込みデータの反転は行われない。

【0053】これに対し、図 7 (B) に示されているように、書込みデータを 2 つのフィールドに分割して、フ

12

ィールド毎にビット判定を行えば、アドレスの上位ビットはオール “0” からオール “1” に反転されてタグメモリに格納される。したがって、より最適な反転処理を行うことができる。

【0054】なお、このようにフィールド毎にビット判定を行う場合には、図 5 のビット反転回路 2 2、書込みデータ反転回路 2 3、反転情報記憶部 2 4、および比較回路 2 5 はフィールド毎に別個に設けられる。また、フィールド毎のビット判定は、タグメモリなどの連想メモリに特に有効であるが、図 1 に示したような通常のメモリに対しても適用できる。この場合には、図 1 のビット反転回路 1 1、書込みデータ反転回路 1 2、反転情報記憶部 1 3、および読み出しデータ反転回路 1 4 はフィールド毎に別個に設けられる。

【0055】以上説明したように、この実施例においては、メモリに書き込まれるデータに論理値 “0” が多ければデータが論理反転して書き込まれる。これにより、例えば、全ビット “0” の書込みデータは全ビット

“1” に論理反転されて書き込まれる。このため、全ビット “1” のデータの読み出しの直後に、全ビット “0” のデータを読み出す場合においても、メモリ内部では全ビット “1” のデータの読み出しが連続して実行されることになり、メモリ出力段回路のスイッチングによる電力消費を低減できる。

【0056】また、このようなメモリ制御を書込みデータのビット列全体に対して一律に適用するのではなく、データを複数フィールドに分割し、フィールド毎に書込みデータの論理値の判定、論理反転、属性情報の書込み、および属性情報に基づく読み出しデータの論理反転を行うことにより、さらにリード／ライト制御の最適化を実現できる。

【0057】さらに、キャッシュメモリ、アドレス変換バッファなどの連想メモリにこの発明を適用する場合には、読み出しデータを直接反転するよりも、ビット毎の比較結果を反転するか、または排他的論理和 (exclusive-OR) と、排他的反転論理和 (exclusive-NOR) を使い分けた方がヒット／ミスヒット検出の高速化を達成できる。なお、この発明は SRAM に限らず、ダイナミック RAM、ROM、フラッシュメモリなどの他の各種半導体メモリに適用できる。

【0058】

【発明の効果】以上説明したように、この発明によれば、メモリ装置に対する書込みデータおよびリードデータの反転制御などにより、アーキテクチャレベルからメモリ装置の消費電力の低減を図る事ができ、コンピュータシステム全体の低消費電力化を実現する事ができる。

【図面の簡単な説明】

【図 1】この発明の一実施例に係るメモリ装置の構成を示すブロック図。

【図 2】同実施例のメモリ装置に対する書込み動作手順

13

を示すフローチャート。

【図 3】 同実施例のメモリ装置に対する読み出し動作手順を示すフローチャート。

【図 4】 図 1 のメモリ装置内部の具体的な回路構成を示す図。

【図 5】 この発明が適用されるタグメモリの構成を示すブロック図。

【図 6】 図 5 のタグメモリに設けられている比較回路の回路構成の一例を示す図。

*

14

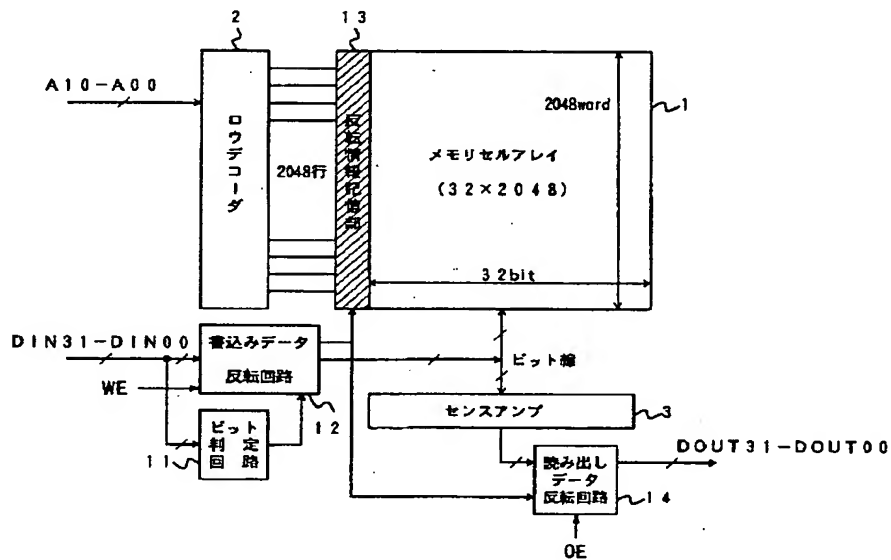
* 【図 7】 図 5 のタグメモリの 1 ラインを複数フィールドに分割した場合の書き込みデータの反転の様子を示す図。

【図 8】 従来のメモリ装置の構成を示すブロック図。

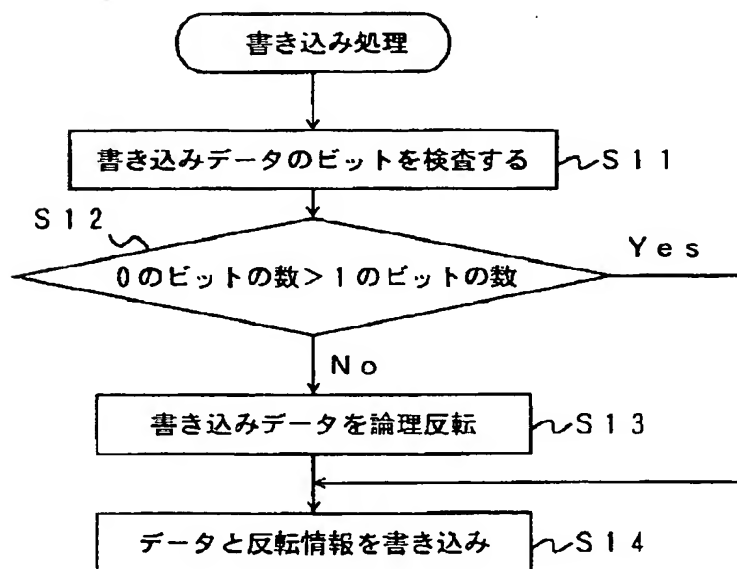
【符号の説明】

1、20…メモリセルアレイ、2…ロウデコーダ、3…センスアンプ、11、22…ビット判定回路、12、23…書き込みデータ反転回路、13、24…反転情報記憶部、14…読み出しデータ反転回路、25…比較回路。

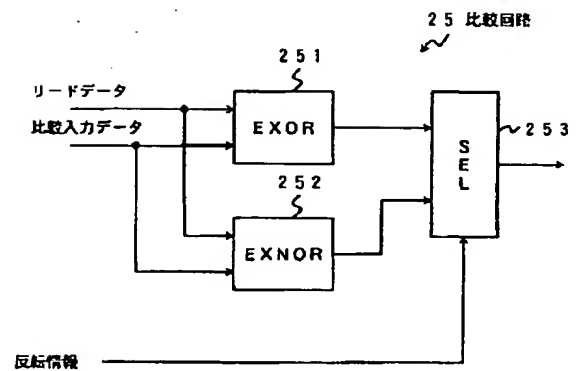
【図 1】



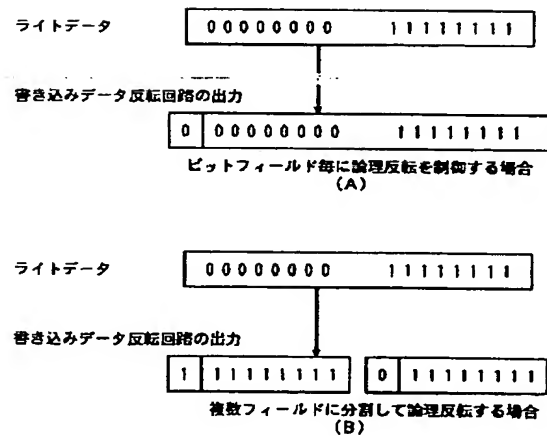
【図 2】



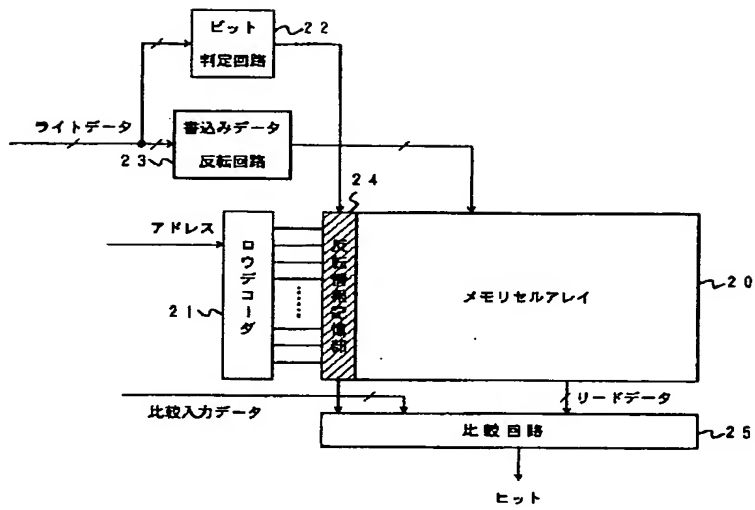
【図 6】



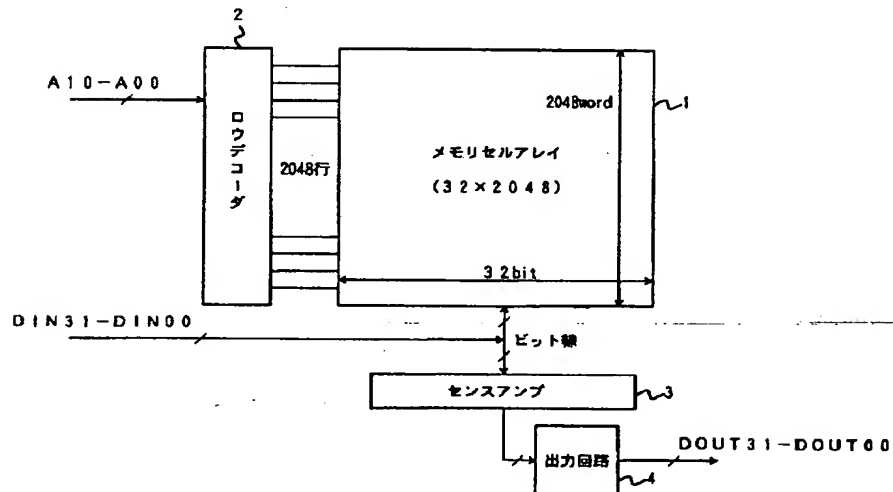
【図 7】



【図 5】



【図 8】



フロントページの続き

(51) Int. Cl. 6

G11C 15/00

識別記号

庁内整理番号

F I

技術表示箇所

B